

Express Mail Label No.EL631547708US

PATENT
36856.336

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Hideaki TANAKA Serial No.: Currently unknown Filing Date: Concurrently herewith For: DELAY LINE	
--	--

TRANSMITTAL OF PRIORITY DOCUMENTS

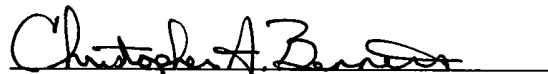
ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **11-202294** filed **July 15, 1999**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: July 13, 2000



Christopher A. Bennett
Attorney for Applicant(s)
Reg. No. P46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
(703) 385-5200

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

1c784 U.S. PTO
09/615875
07/13/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 7月15日

出願番号

Application Number:

平成11年特許願第202294号

出願人

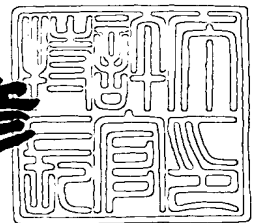
Applicant (s):

株式会社村田製作所

2000年 2月25日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3010296

【書類名】 特許願

【整理番号】 MU11400-01

【提出日】 平成11年 7月15日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 9/00

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

【氏名】 田中 秀明

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代理人】

【識別番号】 100091432

【弁理士】

【氏名又は名称】 森下 武一

【手数料の表示】

【予納台帳番号】 007618

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004894

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディレイライン

【特許請求の範囲】

【請求項 1】 一つのコイルを少なくとも三つ以上のインダクタに分割し、前記インダクタとキャパシタとから構成された少なくとも三段のローパスフィルタを有し、該ローパスフィルタが複数の絶縁層を積み重ねて構成した一つの積層体に内蔵されていることを特徴とするディレイライン。

【請求項 2】 前記積層体の同一絶縁層上に、前記ローパスフィルタの各段のインダクタをそれぞれ構成するコイル導体パターンが配置されていることを特徴とする請求項 1 記載のディレイライン。

【請求項 3】 前記インダクタの各々は前記絶縁層の積み重ね方向に対して平行なコイル軸を有すると共に、

隣り合うインダクタの巻回方向が互いに逆方向であることを特徴とする請求項 1 又は請求項 2 記載のディレイライン。

【請求項 4】 前記絶縁層が比誘電率 1.5 以下の誘電体セラミック材料からなることを特徴とする請求項 1 ないし請求項 3 記載のディレイライン。

【請求項 5】 前記ローパスフィルタを構成するインダクタのうちの少なくとも一つのインダクタの一端に接続されたキャパシタと他端に接続されたキャパシタとが、前記絶縁層の積み重ね方向の異なる位置に配置されていることを特徴とする請求項 1 ないし請求項 4 記載のディレイライン。

【請求項 6】 前記コイル導体パターンの縦寸法と横寸法の比がほぼ 1 であることを特徴とする請求項 1 ないし請求項 5 記載のディレイライン。

【請求項 7】 隣接する第 k 段目のローパスフィルタのインダクタの一端と第 $k+1$ 段目のローパスフィルタのインダクタの一端とが、前記積層体の上層側で電氣的に接続され、前記 $k+1$ 段目のローパスフィルタのインダクタの他端と第 $k+2$ 段目のローパスフィルタのインダクタの一端とが、前記積層体の下層側で電氣的に接続されていることを特徴とする請求項 1 ないし請求項 6 記載のディレイライン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はディレイラインに関し、特に、デジタル信号等の遅延に使用されるディレイラインに関する。

【0002】

【従来の技術】

従来より、クロック周波数が100MHz以上のデジタル信号の遅延に使用されるディレイラインとしては、インダクタとキャパシタを組み合わせで構成した集中定数型のLCローパスフィルタが一般に周知である。そして、このLCローパスフィルタのインダクタンス値とキャパシタンス値を大きくすることにより、大きな遅延時間を得ている。

【0003】

【発明が解決しようとする課題】

しかしながら、従来のディレイラインにおいて、単に、インダクタの巻回数を多くしてインダクタンス値を大きくしたり、キャパシタの容量電極の面積を大きくしてキャパシタンス値を大きくするだけでは、ディレイラインの周波数特性（立上がり特性）が損なわれたり、群遅延時間の平坦性（波形歪み特性）が損なわれる等の不具合が生じる。

【0004】

そこで、本発明の目的は、群遅延時間の平坦性に優れ、良好な周波数特性を有する小型のディレイラインを提供することにある。

【0005】

【課題を解決するための手段および作用】

前記目的を達成するため、本発明に係るディレイラインは、一つのコイルを少なくとも三つ以上のインダクタに分割し、前記インダクタとキャパシタとから構成された少なくとも三段のローパスフィルタを有し、該ローパスフィルタが複数の絶縁層を積み重ねて構成した一つの積層体に内蔵されていることを特徴とする。

【0006】

以上の構成により、個々のインダクタとキャパシタは、そのインダクタンス値やキャパシタンス値が小さいため、ディレイラインの立上がり特性や群遅延時間の平坦性が損なわれる心配がない。一方、ディレイライン全体としてのインダクタンス値やキャパシタンス値は大きいため、大きな遅延時間が得られる。

【0007】

また、同一絶縁層上に、ローパスフィルタの各段のインダクタをそれぞれ構成するコイル導体パターンを配置することにより、一つの積層体内にコイル導体パターンを効率良く配置することができる。

【0008】

さらに、絶縁層の材料として、比誘電率1.5以下の誘電体セラミック材料を用いることにより、隣接するインダクタ同士の磁気的および静電的な結合が小さくなり、群遅延時間特性のうねりが抑えられ、さらに平坦な群遅延時間特性が得られる。

【0009】

また、前記ローパスフィルタを構成するインダクタのうちの少なくとも一つのインダクタの一端に接続されたキャパシタと他端に接続されたキャパシタとが、絶縁層の積み重ね方向の異なる位置に配置されていることを特徴とする。これにより、該インダクタと二つのキャパシタとから構成された段のローパスフィルタは、二つのキャパシタ間の静電容量結合が小さくなり、より平坦な群遅延時間特性が得られる。

【0010】

また、コイル導体パターンの縦寸法と横寸法の比を、ほぼ1に設定することにより、コイル導体パターンが矩形の場合には略正方形となり、高いQを有するインダクタが得られる。

【0011】

さらに、本発明に係るディレイラインは、隣接する第k段目のローパスフィルタのインダクタの一端と第k+1段目のローパスフィルタのインダクタの一端とが、前記積層体の上層側で電氣的に接続され、前記k+1段目のローパスフィルタのインダクタの他端と第k+2段目のローパスフィルタのインダクタの一端と

が、前記積層体の下層側で電氣的に接続されていることを特徴とする。

【0012】

ローパスフィルタの隣接する段のインダクタを積層体の下層側と上層側で交互に接続すると、隣接するインダクタ同士の磁束の向きが互いに逆になる。これにより、隣り合うインダクタは、磁気結合が大幅に小さくなり、クロストークが軽減される。

【0013】

【発明の実施の形態】

以下、本発明に係るディレイラインの実施の形態について添付の図面を参照して説明する。

【0014】

〔第1実施形態、図1～図7〕

本発明に係るディレイラインの第1実施形態の分解斜視図を図1に示す。該ディレイライン1は、一つのコイルを四つのインダクタL1～L4に分割し、この集中定数的なインダクタL1～L4およびキャパシタC1～C5からなる4段のLC π 型のローパスフィルタF1、F2、F3、F4の回路構成を有するモノリシックタイプのものである（図3参照）。

【0015】

インダクタL1は、絶縁性シート24～27にそれぞれ形成されたコイル導体パターンL1a～L1dと、これらコイル導体パターンL1a～L1dを一連に接続するビアホール4とにより構成されている。インダクタL1の一端に対応するコイル導体パターンL1aの端部は、ビアホール4により絶縁性シート23に形成された接続パターン5に接続される。インダクタL1の他端に対応するコイル導体パターンL1dの端部は、ビアホール4により絶縁性シート28に形成された接続パターン8に接続される。

【0016】

インダクタL2は、絶縁性シート27、26、25および24にそれぞれ形成されたコイル導体パターンL2a、L2b、L2cおよびL2dと、これらコイル導体パターンL2a～L2dを一連に接続するビアホール4とにより構成され

ている。インダクタL2の一端に対応するコイル導体パターンL2aの端部は、ビアホール4を通して絶縁性シート28に形成された接続パターン8に接続される。インダクタL2の他端に対応するコイル導体パターンL2dの端部は、ビアホール4を通して、絶縁性シート23に形成された接続パターン6に接続される。

【0017】

インダクタL3は、絶縁性シート24～27にそれぞれ形成されたコイル導体パターンL3a～L3dと、これらコイル導体パターンL3a～L3dを一連に接続するビアホール4とにより構成されている。インダクタL3の一端に対応するコイル導体パターンL3aの端部は、ビアホール4を通して絶縁性シート23に形成された接続パターン6に接続される。インダクタL3の他端に対応するコイル導体パターンL3dの端部は、ビアホール4を通して、絶縁性シート28に形成された接続パターン9に接続される。

【0018】

インダクタL4は、絶縁性シート27, 26, 25および24にそれぞれ形成されたコイル導体パターンL4a, L4b, L4cおよびL4dと、これらコイル導体パターンL4a～L4dを一連に接続するビアホール4とにより構成されている。インダクタL4の一端に対応するコイル導体パターンL4aの端部は、ビアホール4を通して絶縁性シート28に形成された接続パターン9に接続される。インダクタL4の他端に対応するコイル導体パターンL4dの端部は、ビアホール4を通して、絶縁性シート23に形成された接続パターン7に接続される。

【0019】

そして、コイル導体パターンL1a～L4dは、縦横の寸法比を1に近い値に設定されており、ほぼ正方形である。これにより、高Q値のインダクタL1～L4を得ることができる。なお、コイル導体パターンL1a～L4dが円形であってもよいことは言うまでもない。

【0020】

以上に説明したインダクタL1～L4は、そのコイル導体パターンL1a, L

2 d, L 3 a および L 4 d が互いに同じパターン形状を有するとともに、絶縁性シート 2 4 の表面に、2 行×2 列のマトリックス状に配置されている。また、その他のコイル導体パターンについても、そのパターン形状および配置関係がコイル導体パターン L 1 a, L 2 d, L 3 a および L 4 d と同様の関係を有する。こうして、コイル導体パターン L 1 a ~ L 4 d をディレイライン 1 の内部に効率良く配置するようにし、ディレイライン 1 の小型化を図っている。

【0021】

一方、キャパシタ C 1 は、絶縁性シート 2 2 と、該シート 2 2 に形成されたキャパシタ電極 1 0 および絶縁性シート 2 1 に形成されたキャパシタ電極 1 2 とから構成されている。キャパシタ C 2 は、絶縁性シート 3 0 と、シート 2 9 に形成されたキャパシタ電極 1 3 と、シート 3 0 に形成されたキャパシタ電極 1 6 とから構成されている。キャパシタ C 3 は、絶縁性シート 3 0 と、シート 2 9 に形成されたキャパシタ電極 1 4 と、シート 3 0 に形成されたキャパシタ電極 1 6 とから構成されている。キャパシタ C 4 は、シート 3 0 と、シート 2 9 に形成されたキャパシタ電極 1 5 と、シート 3 0 に形成されたキャパシタ電極 1 6 とから構成されている。キャパシタ C 5 は、シート 2 2 と、シート 2 2 に形成されたキャパシタ電極 1 1 およびシート 2 1 に形成されたキャパシタ電極 1 2 とから構成されている。

【0022】

各絶縁性シート 2 1 ~ 3 1 は、積み重ねられた後、一体的に焼成され、図 2 に示すように、積層体 3 5 とされる。積層体 3 5 の左側端面、右側端面および中央部には、それぞれ入力電極 4 1, 出力電極 4 2 およびグランド電極 4 3 が設けられる。積層体 3 5 の手前側側面の左側および右側、並びに奥側側面の右側には、それぞれ中継電極 4 4, 4 5, 4 6 が設けられる。

【0023】

入力電極 4 1 は、接続パターン 5 を介してインダクタ L 1 の一端（コイル導体パターン L 1 a）に接続されるとともに、キャパシタ電極 1 0 に接続される。出力電極 4 2 は、接続パターン 7 を介してインダクタ L 4 の他端（コイル導体パターン L 4 d）に接続されるとともに、キャパシタ電極 1 1 に接続される。グラン

ド電極 43 は、キャパシタ電極 12, 16 に接続される。中継電極 44 は、接続パターン 8 を介してインダクタ L1 の他端 (コイル導体パターン L1d) とインダクタ L2 の一端 (コイル導体パターン L2a) に接続されるとともに、キャパシタ電極 13 に接続される。中継電極 45 は、接続パターン 6 を介してインダクタ L2 の他端 (コイル導体パターン L2d) とインダクタ L3 の一端 (コイル導体パターン L3a) に接続されるとともに、キャパシタ電極 14 に接続される。中継電極 46 は、接続パターン 9 を介してインダクタ L3 の他端 (コイル導体パターン L3d) とインダクタ L4 の一端 (コイル導体パターン L4a) に接続されるとともに、キャパシタ電極 15 に接続される。図 3 はこうして得られたディレイライン 1 の電気等価回路図である。

【0024】

このディレイライン 1 は、一つのコイルを四つのインダクタ L1~L4 に分割したので、個々のインダクタ L1~L4 とキャパシタ C1~C5 は、そのインダクタンス値やキャパシタンス値を小さくすることができ、ディレイラインの立上がり特性や波形歪み特性を良好なものにすることができる。一方、ディレイライン 1 全体としてのインダクタンス値やキャパシタンス値は大きいため、大きな遅延時間を得ることができる。図 4 は、4 段の LC π 型のローパスフィルタ F1~F4 を備えたディレイライン 1 (遅延時間: 2 nS) に実線 47 で表した台形パルス波を入力したときの過渡応答特性を示すグラフである (実線 48a 参照)。比較のため、1 段の LC π 型のローパスフィルタを備えたディレイラインの過渡応答特性 (二点鎖線 49 参照) と、2 段の LC π 型ローパスフィルタを備えたディレイラインの過渡応答特性 (点線 50 参照) とを併せて記載している。1 段や 2 段のローパスフィルタを備えたディレイラインの場合は、立上がり特性が悪く、出力波形の歪みが大きいため、実用は困難である。これに対して、4 段のローパスフィルタを備えたディレイライン 1 の場合は、多段化により、立上がり特性が良く、出力波形の歪みも小さい。

【0025】

また、絶縁性シート 21~31 の材料としては、磁性体材料や非磁性体材料が使用される。磁性体材料を使用した場合は、インダクタ L1~L4 のインダクタ

ンス値が大きくなり、大きな遅延時間を取得できる。しかし、透磁率が高いため、インダクタL1～L4を積層体35内に近接させて配置すると、隣接するインダクタL1～L4相互間の磁気結合によるクロストークが大きくなり、ディレイライン1の群遅延時間の平坦性（波形歪み特性）等が劣化する場合がある。

【0026】

そこで、第1実施形態では、絶縁性シート21～31の材料として、非磁性体材料（例えば、比誘電率が6で、透磁率がほぼ真空中の透磁率に等しいBa-A1-Si系のセラミック誘電体材料）を使用した。これにより、インダクタL1～L4を積層体35内に近接して配置させても、隣接するインダクタL1～L4相互間のクロストークは小さく、ディレイライン1の群遅延時間の平坦性等が劣化する心配がなくなる。

【0027】

ここに、非磁性体材料の比誘電率を種々変えたときのモデルにおける、群遅延時間対周波数特性のシミュレーションの結果を図5に示す。インダクタL1～L4を形成するコイル導体パターンL1a～L4dの縦寸法と横寸法はそれぞれ1mm、パターン幅は150μm、コイル導体パターン層間距離は25μmとした。

【0028】

図5において、実線51が比誘電率5の場合を表示し、一点鎖線52が比誘電率15の場合を表示し、点線53が比誘電率30の場合を表示している。図5から、比誘電率が15以下であれば、群遅延時間対周波数特性のうねりが小さく、より平坦な群遅延時間対周波数特性を有するディレイラインを得ることができることがわかる。これは、比誘電率が低くなると、インダクタL1～L4を形成するコイル導体パターンL1a～L4dの層間での静電容量結合が小さくなり、コイル導体パターンL1a～L4dの層間でのクロストークが小さくてすむからである。

【0029】

さらに、ディレイライン1は、図1に示すように、1段目のローパスフィルタF1のインダクタL1の巻回の終端（コイル導体パターンL1d）と、2段目の

ローパスフィルタF2のインダクタL2の巻回の始端（コイル導体パターンL2a）とが、積層体35の上層側で接続パターン8を介して電氣的に接続されている。インダクタL2の巻回の終端（コイル導体パターンL2d）と、3段目のローパスフィルタF3のインダクタL3の巻回の始端（コイル導体パターンL3a）とが、積層体35の下層側で接続パターン6を介して電氣的に接続されている。さらに、インダクタL3の巻回の終端（コイル導体パターンL3d）と、4段目のローパスフィルタF4のインダクタL4の巻回の始端（コイル導体パターンL4a）とが、積層体35の上層側で接続パターン9を介して電氣的に接続されている。

【0030】

以上のように、隣接する段のローパスフィルタF1～F4のインダクタL1～L4を、積層体35の上層側と下層側で交互に接続する構造を採用することにより、図6に示すように、隣接するインダクタL1～L4同士の磁束 $\phi 1 \sim \phi 4$ の方向が互いに逆になる。これにより、隣り合うインダクタL1～L4は、磁気結合が小さくなり、クロストークがさらに軽減される。この結果、群遅延時間対周波数特性をさらに平坦なものとすることができる。

【0031】

因みに、図7に示すように、隣接するインダクタL1～L4同士の磁束 $\phi 1 \sim \phi 4$ の方向が互いに逆のときのディレイライン1の群遅延時間対周波数特性（実線55）は、隣接するインダクタL1～L4同士の磁束 $\phi 1 \sim \phi 4$ の方向が互いに同じときの群遅延時間対周波数特性（点線56）と比較して、平坦性が改善されている。

【0032】

さらに、ディレイライン1は、1段目のローパスフィルタF1のインダクタL1の入力側に接続されたキャパシタC1と出力側に接続されたキャパシタC2とが、積層体35の下層側と上層側に分離して配置されている。同様に、4段目のローパスフィルタF4のインダクタL4の入力側に接続されたキャパシタC4と出力側に接続されたキャパシタC5とが、積層体35の上層側と下層側に分離して配置されている。これにより、1段目及び4段目のローパスフィルタF1、F

4は、それぞれ入力側のキャパシタC1, C4と出力側のキャパシタC2, C5との間の静電容量結合を軽減することができる。この結果、群遅延時間特性のより優れたディレイライン1を得ることができる。

【0033】

〔第2実施形態、図8～図11〕

本発明に係るディレイラインの第2実施形態の分解斜視図を図8に示す。該ディレイライン61は、一つのコイルを三つのインダクタL1～L3に分割し、この集中定数的なインダクタL1～L3およびキャパシタC1～C4からなる3段のLC π 型のローパスフィルタF1, F2, F3の回路構成を有するモノリシックタイプのものである（図10参照）。

【0034】

インダクタL1は、絶縁性シート75～79にそれぞれ形成されたコイル導体パターンL1a～L1eと、これらコイル導体パターンL1a～L1eを一連に接続するビアホール4とにより構成されている。インダクタL1の一端に対応するコイル導体パターンL1aの端部は、ビアホール4により絶縁性シート74に形成された接続パターン5に接続される。インダクタL1の他端に対応するコイル導体パターンL1eの端部は、ビアホール4により絶縁性シート80に形成された接続パターン8に接続される。

【0035】

インダクタL2は、絶縁性シート79, 78, 77, 76および75にそれぞれ形成されたコイル導体パターンL2a, L2b, L2c, L2dおよびL2eと、これらコイル導体パターンL2a～L2eを一連に接続するビアホール4とにより構成されている。インダクタL2の一端に対応するコイル導体パターンL2aの端部は、ビアホール4を通して絶縁性シート80に形成された接続パターン8に接続される。インダクタL2の他端に対応するコイル導体パターンL2eの端部は、ビアホール4を通して、絶縁性シート74に形成された接続パターン6に接続される。

【0036】

インダクタL3は、絶縁性シート74～79にそれぞれ形成されたコイル導体

パターンL3a～L3eと、これらコイル導体パターンL3a～L3eを一連に接続するビアホール4とにより構成されている。インダクタL3の一端に対応するコイル導体パターンL3aの端部は、ビアホール4を通して、絶縁性シート74に形成された接続パターン6に接続される。インダクタL3の他端に対応するコイル導体パターンL3eの端部は、ビアホール4を通して絶縁性シート80に形成された接続パターン7に接続される。

【0037】

以上に説明したインダクタL1～L3は、そのコイル導体パターンL1a、L2eおよびL3aが互いに同じパターン形状を有するとともに、絶縁性シート75の表面に、1行×3列のマトリックス状に配置されている。また、その他のコイル導体パターンについても、そのパターン形状および配置関係がコイル導体パターンL1a、L2eおよびL3aと同様の関係を有する。こうして、コイル導体パターンL1a～L3eをディレイライン1の内部に効率良く配置するようにし、ディレイライン1の小型化を図っている。

【0038】

一方、キャパシタC1は、絶縁性シート71、72と、キャパシタ電極62、63、65とから構成されている。キャパシタC2は、絶縁性シート81、82と、キャパシタ電極66、67、69とから構成されている。キャパシタC3は、絶縁性シート71、72と、キャパシタ電極62、64、65とから構成されている。キャパシタC4は、シート81、82と、キャパシタ電極66、68、69とから構成されている。

【0039】

各絶縁性シート70～83は、積み重ねられた後、一体的に焼成され、図9に示すように、積層体35とされる。積層体35の左側端面、右側端面および中央部には、それぞれ入力電極41、出力電極42およびグランド電極43が設けられる。積層体35の手前側側面の左側並びに奥側側面の右側には、それぞれ中継電極44、46が設けられる。

【0040】

入力電極41は、接続パターン5を介してインダクタL1の一端（コイル導体

パターンL1a)に接続されるとともに、キャパシタ電極63に接続される。出力電極42は、接続パターン7を介してインダクタL3の他端(コイル導体パターンL3e)に接続されるとともに、キャパシタ電極68に接続される。グラウンド電極43は、キャパシタ電極62, 65, 66, 69に接続される。中継電極44は、接続パターン8を介してインダクタL1の他端(コイル導体パターンL1e)とインダクタL2の一端(コイル導体パターンL2a)に接続されるとともに、キャパシタ電極67に接続される。中継電極46は、接続パターン6を介してインダクタL2の他端(コイル導体パターンL2e)とインダクタL3の一端(コイル導体パターンL3a)に接続されるとともに、キャパシタ電極64に接続される。図10はこうして得られたディレイライン61の電気等価回路図である。

【0041】

このディレイライン61は、一つのコイルを三つのインダクタL1~L3に分割したので、個々のインダクタL1~L3とキャパシタC1~C4は、そのインダクタンス値やキャパシタンス値を小さくすることができ、ディレイラインの立上がり特性や波形歪み特性を良好なものにすることができる。一方、ディレイライン61全体としてのインダクタンス値やキャパシタンス値は大きいため、大きな遅延時間を得ることができる。前記第1実施形態の図4には、3段のLC π 型のローパスフィルタF1~F3を備えたディレイライン61(遅延時間: 2 nS)に実線47で表した台形パルス波を入力したときの過渡応答特性を示すグラフが記載されている(一点鎖線48b参照)。図4から、ディレイライン61は、実用上問題がない立上がり特性と出力波形特性が得られていることがわかる。

【0042】

さらに、ディレイライン61は、図8に示すように、1段目のローパスフィルタF1のインダクタL1の巻回の終端(コイル導体パターンL1e)と、2段目のローパスフィルタF2のインダクタL2の巻回の始端(コイル導体パターンL2a)とが、積層体35の下層側で接続パターン8を介して電氣的に接続されている。インダクタL2の巻回の終端(コイル導体パターンL2e)と、3段目のローパスフィルタF3のインダクタL3の巻回の始端(コイル導体パターンL3

a) とが、積層体 35 の上層側で接続パターン 6 を介して電氣的に接続されている。

【0043】

以上のように、隣接する段のローパスフィルタ F1～F3 のインダクタ L1～L3 を、積層体 35 の上層側と下層側で交互に接続する構造を採用することにより、図 11 に示すように、隣接するインダクタ L1～L3 同士の磁束 $\phi 1 \sim \phi 3$ の方向が互いに逆になる。これにより、隣り合うインダクタ L1～L3 は、磁気結合が小さくなり、クロストークがさらに軽減される。この結果、群遅延時間対周波数特性をさらに平坦なものとすることができる。

【0044】

さらに、ディレイライン 61 は、1 段目のローパスフィルタ F1 のインダクタ L1 の入力側に接続されたキャパシタ C1 と出力側に接続されたキャパシタ C2 とが、それぞれ積層体 35 の上層側と下層側に分離して配置されている。2 段目のローパスフィルタ F2 のインダクタ L2 の入力側に接続されたキャパシタ C2 と出力側に接続されたキャパシタ C3 とが、それぞれ積層体 35 の下層側と上層側に分離して配置されている。同様に、3 段目のローパスフィルタ F3 のインダクタ L3 の入力側に接続されたキャパシタ C3 と出力側に接続されたキャパシタ C4 とが、それぞれ積層体 35 の上層側と下層側に分離して配置されている。これにより、1 段目～3 段目のローパスフィルタ F1～F3 は、それぞれ入力側のキャパシタと出力側のキャパシタとの間の静電容量結合を軽減することができる。この結果、群遅延時間特性のより優れたディレイライン 61 を得ることができる。

【0045】

〔他の実施形態〕

以上に説明した実施の形態では、ローパスフィルタの段数が 3 段のもの（第 2 実施形態）および 4 段のもの（第 1 実施形態）について説明したが、本発明は前記実施形態に限定されるものではなく、ローパスフィルタの段数は 4 段を越えるものであってもよい。

【0046】

例えば、図 12 に示すように、一つのコイルを六つのインダクタ $L_1 \sim L_6$ に分割し、このインダクタ $L_1 \sim L_6$ およびキャパシタ $C_1 \sim C_7$ からなる 6 段の LC π 型ローパスフィルタを備えたディレイライン 91 であってもよい。このディレイライン 91 は、インダクタ $L_1 \sim L_6$ をそれぞれ構成するコイル導体パターン $L_{1a} \sim L_{6d}$ を表面に形成した絶縁性シート 92 と、キャパシタ電極 102 \sim 110 を表面に形成した絶縁性シート 92 と、接続パターン 95 \sim 101 を表面に形成した絶縁性シート 92 等にて構成されている。これらの絶縁性シート 92 は、積み重ねられた後、一体的に焼成され、図 13 に示すように、積層体 120 とされる。その後、この積層体 120 の表面には、入力電極 141，出力電極 142，グランド電極 143 および中継電極 144 \sim 148 が設けられる。

【0047】

また、積層タイプのディレイラインを製造する場合、コイル導体パターンを表面に設けた絶縁性シート等を積み重ねた後、一体的に焼成する工法に必ずしも限定されない。絶縁性シートは予め焼成されたものを用いてもよい。また、以下に説明する工法によって積層タイプのディレイラインを製造してもよい。すなわち、印刷等の手段によりペースト状の絶縁性材料にて絶縁層を形成した後、その絶縁層の表面にペースト状の導電性材料を塗布してコイル導体パターンを形成する。次に、ペースト状の絶縁性材料を前記コイル導体パターンの上から塗布してコイル導体パターンが内蔵された絶縁層とする。同様にして、順に重ね塗りをしながら、コイル導体パターンの必要な箇所の電氣的接続を行うことにより、積層構造を有するディレイラインが得られる。

【0048】

【発明の効果】

以上の説明から明らかなように、本発明によれば、一つのコイルを少なくとも三つ以上のインダクタに分割し、このインダクタとキャパシタとから少なくとも三段のローパスフィルタを構成することにより、個々のインダクタとキャパシタのインダクタンス値やキャパシタンス値を小さくすることができる。従って、群遅延時間の平坦性に優れ、良好な立上がり特性を有する小型のディレイラインを得ることができる。一方、ディレイライン全体としてのインダクタンス値やキャ

パシタンス値は大きいため、大きな遅延時間を得ることができる。

【0049】

さらに、絶縁層の材料として、比誘電率15以下の誘電体セラミック材料を用いることにより、隣接するインダクタ同士の磁気的および静電的な結合が小さくなり、群遅延時間特性のうねりが抑えられ、さらに平坦な群遅延時間特性が得られる。そして、ローパスフィルタの隣接する段のインダクタを積層体の下層側と上層側で交互に接続すると、隣接するインダクタ同士の磁束の向きが互いに逆になる。これにより、隣り合うインダクタは、磁気結合が大幅に小さくなり、クロストークが軽減される。この結果、群遅延時間特性をさらに平坦にすることができる。

【0050】

また、ローパスフィルタを構成するインダクタのうちの少なくとも一つのインダクタの一端に接続されたキャパシタと他端に接続されたキャパシタとが、絶縁層の積み重ね方向の異なる位置に配置されていることを特徴とする。これにより、該インダクタと二つのキャパシタとから構成された段のローパスフィルタは、二つのキャパシタ間の静電容量結合が小さくなり、より平坦な群遅延時間特性が得られる。

【図面の簡単な説明】

【図1】

本発明に係るディレイラインの第1実施形態を示す分解斜視図。

【図2】

図1に示したディレイラインの外観を示す斜視図。

【図3】

図2に示したディレイラインの電気等価回路図。

【図4】

ディレイラインの過渡応答特性を示すグラフ。

【図5】

絶縁層の比誘電率による、群遅延時間と周波数との関係を示すグラフ。

【図6】

図 1 に示したインダクタの各々を貫く磁束の方向を示す平面図。

【図 7】

インダクタの磁束の向きによる、群遅延時間と周波数との関係を示すグラフ。

【図 8】

本発明に係るディレイラインの第 2 実施形態を示す分解斜視図。

【図 9】

図 8 に示したディレイラインの外観を示す斜視図。

【図 10】

図 9 に示したディレイラインの電気等価回路図。

【図 11】

図 8 に示したインダクタの各々を貫く磁束の方向を示す平面図。

【図 12】

本発明に係るディレイラインの他の実施形態を示す分解斜視図。

【図 13】

図 12 に示したディレイラインの外観を示す斜視図。

【符号の説明】

1, 61, 91…ディレイライン

10~16, 62~69, 102~110…キャパシタ電極

21~31, 70~83, 92…絶縁性シート

C1~C7…キャパシタ

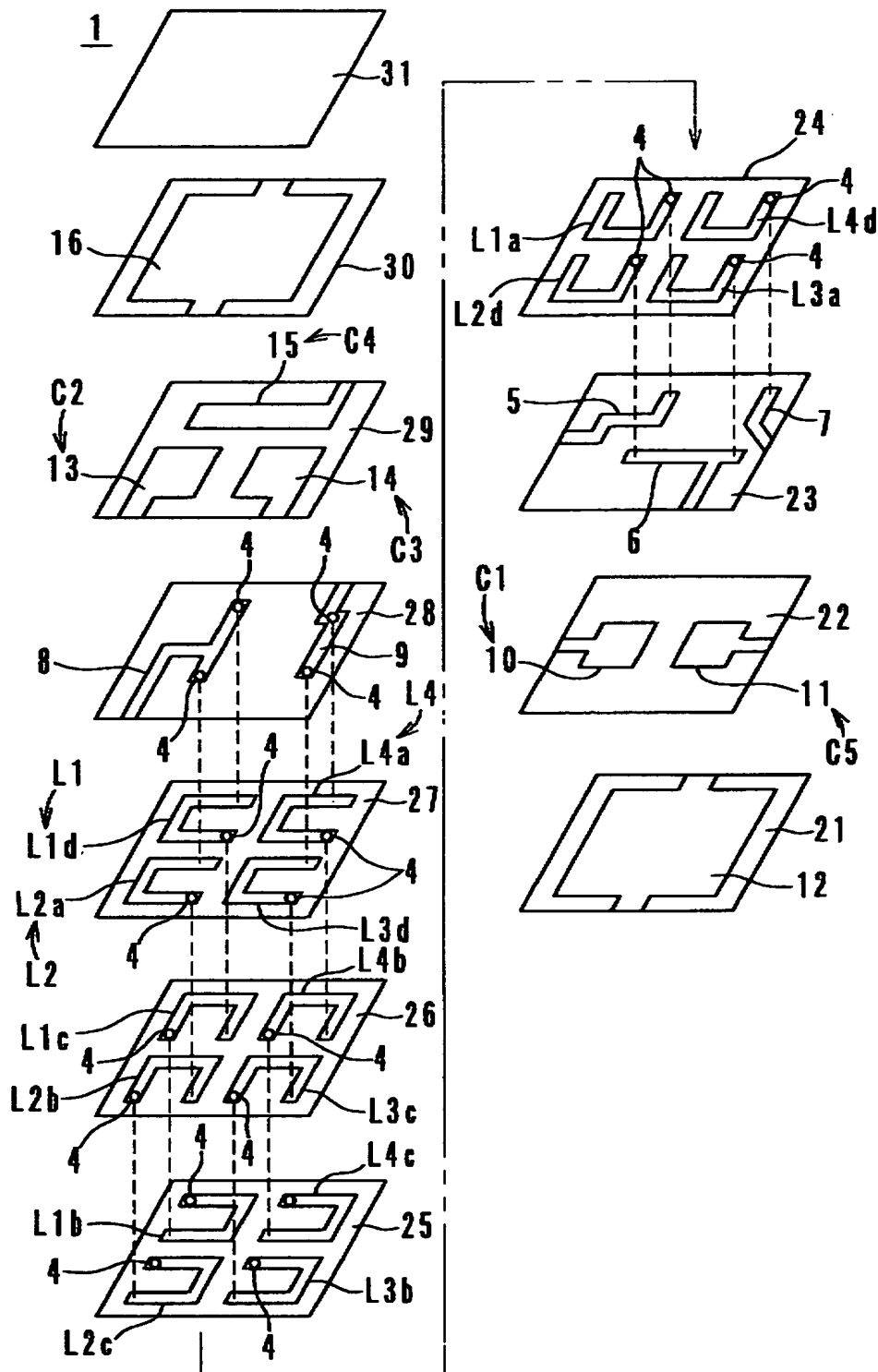
L1~L6…インダクタ

L1a~L6d…コイル導体パターン

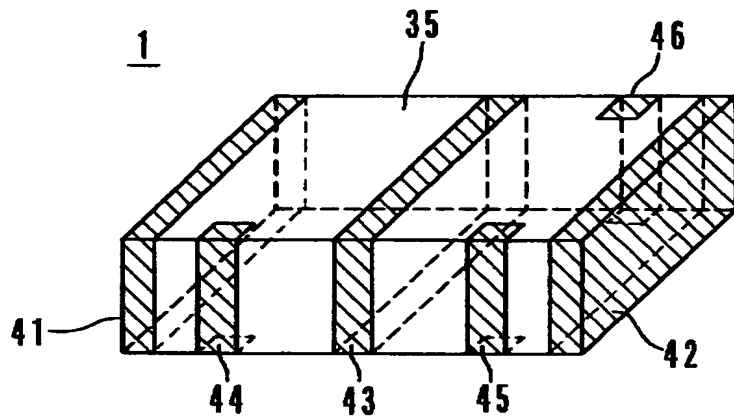
F1~F4…LC π 型ローパスフィルタ

【書類名】 図面

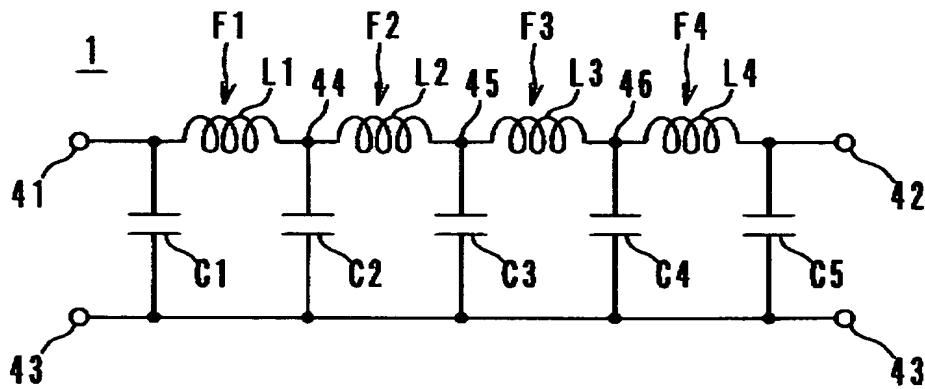
【図 1】



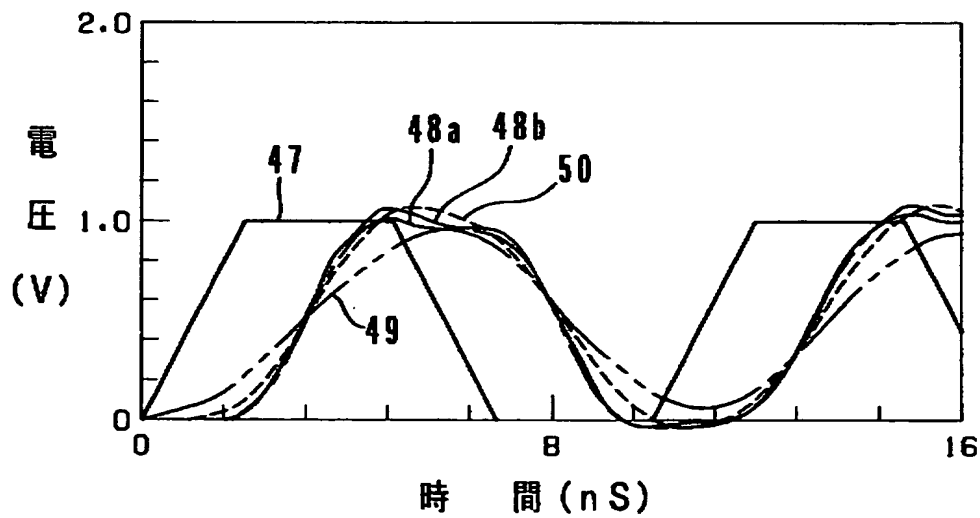
【図 2】



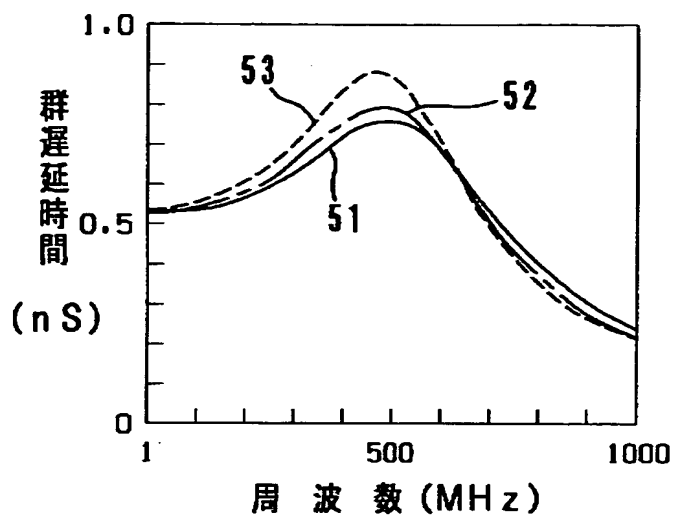
【図 3】



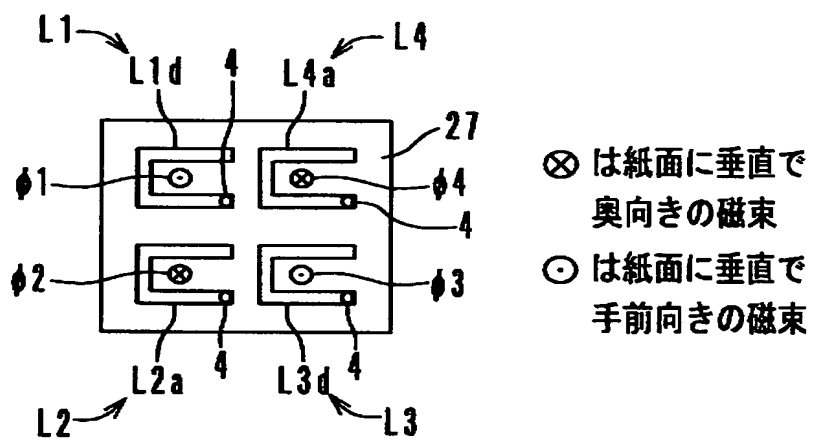
【図 4】



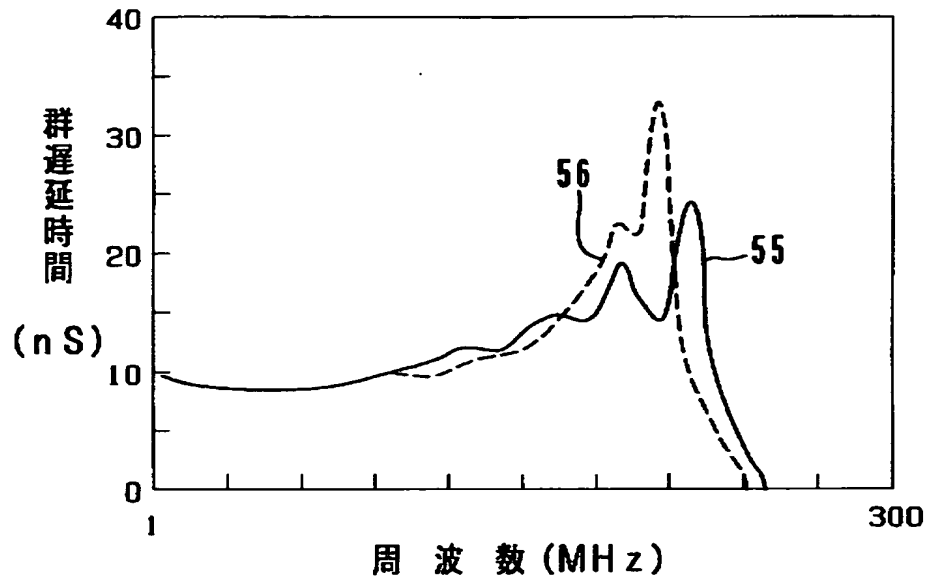
【図 5】



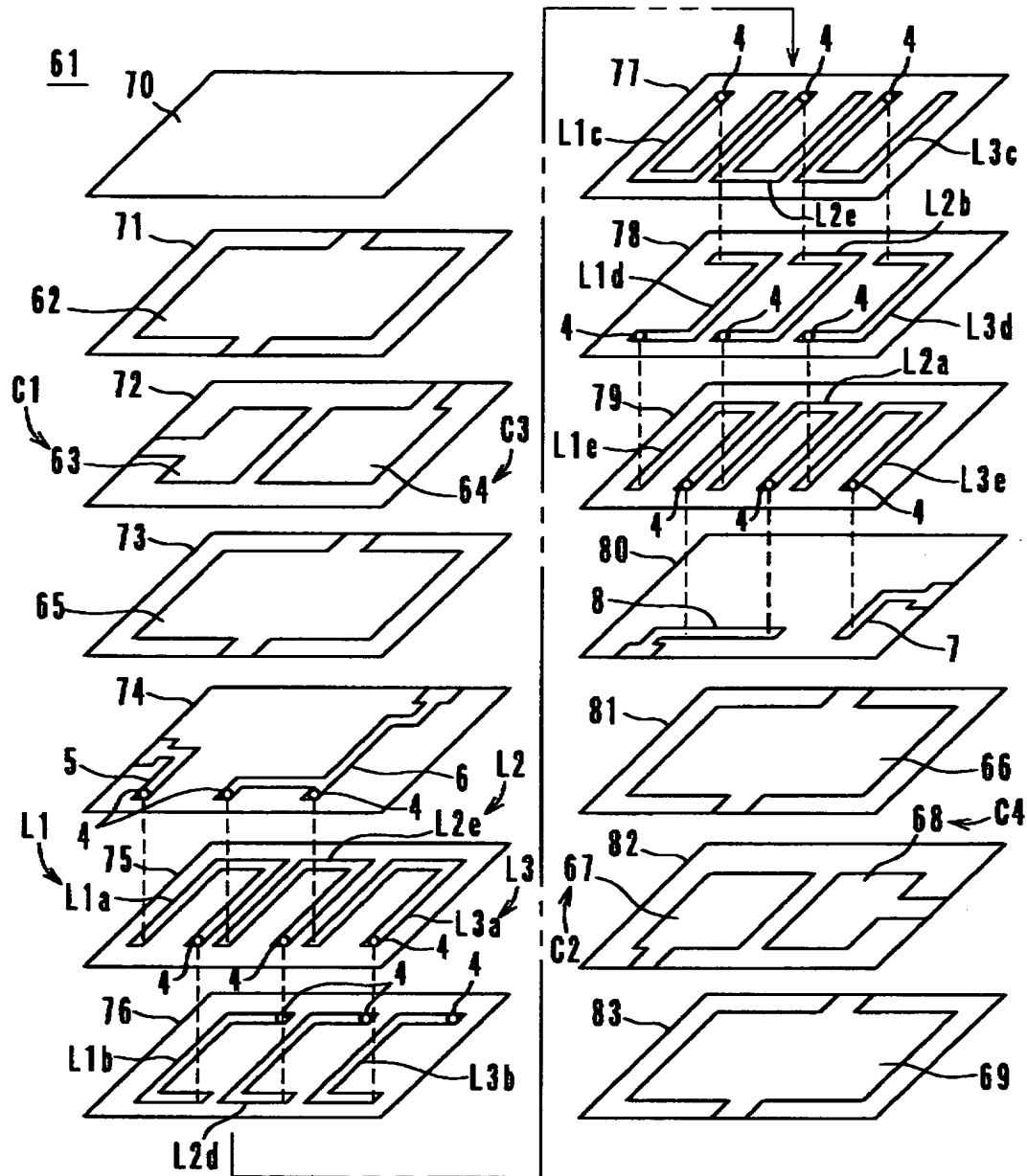
【図 6】



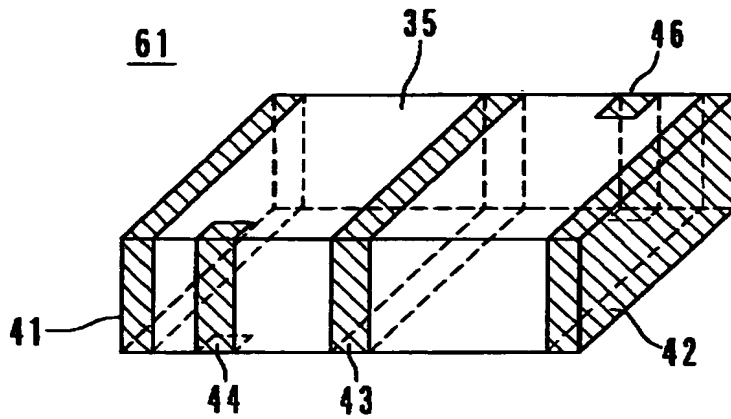
【図 7】



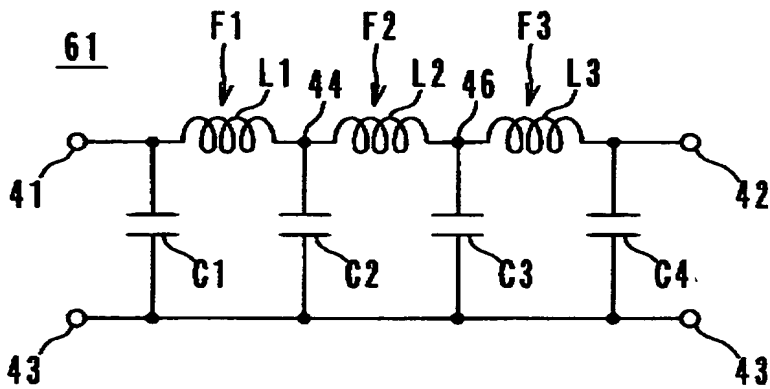
【図 8】



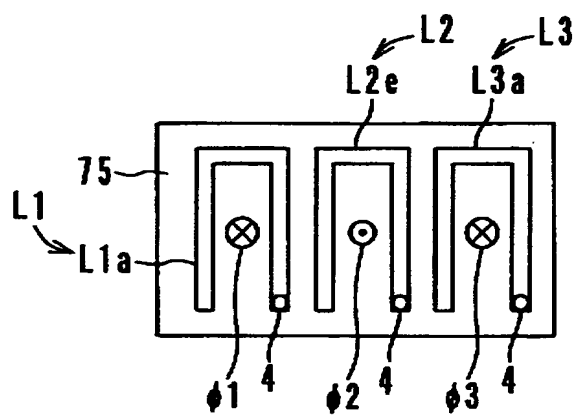
【図 9】



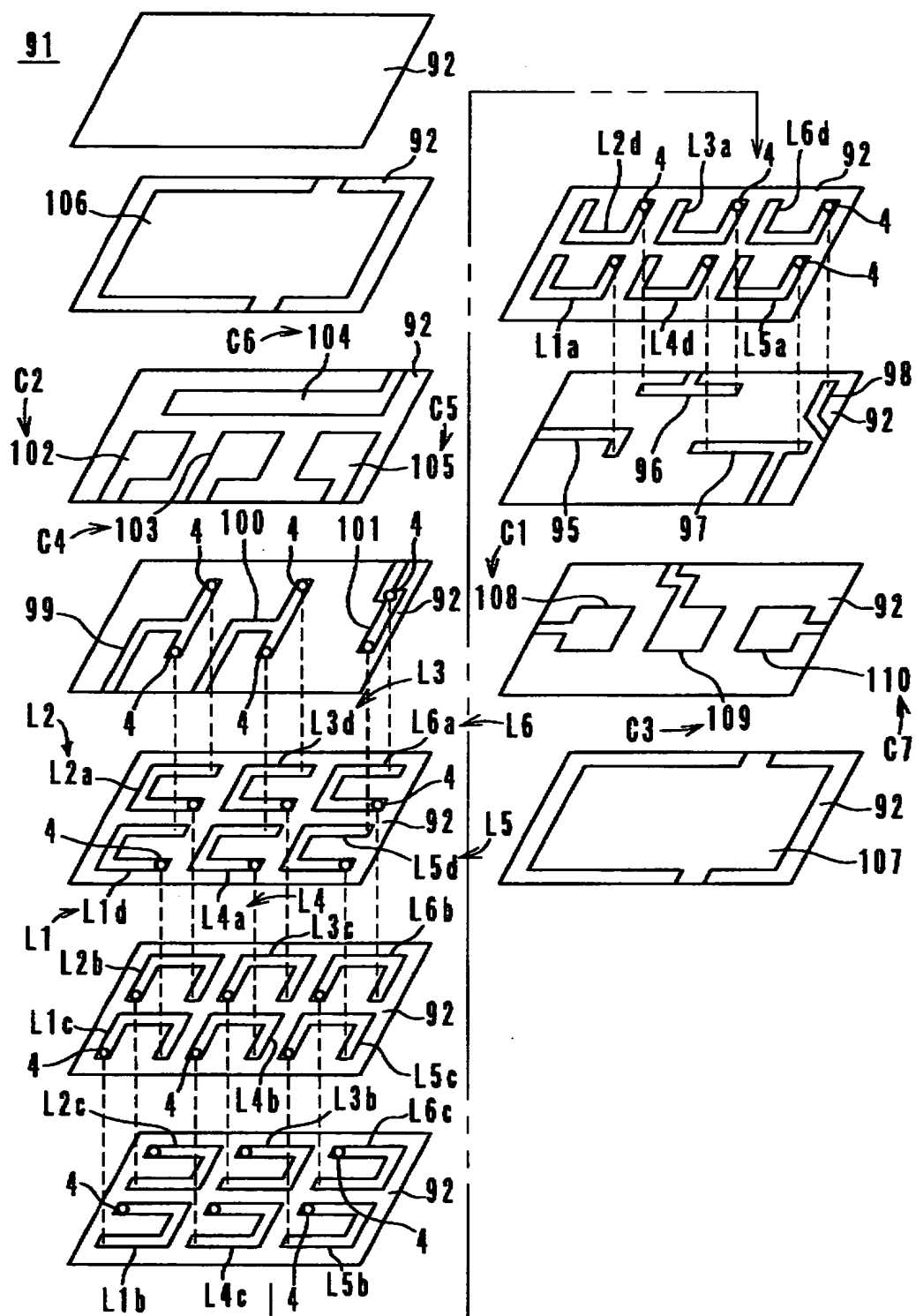
【図 1 0】



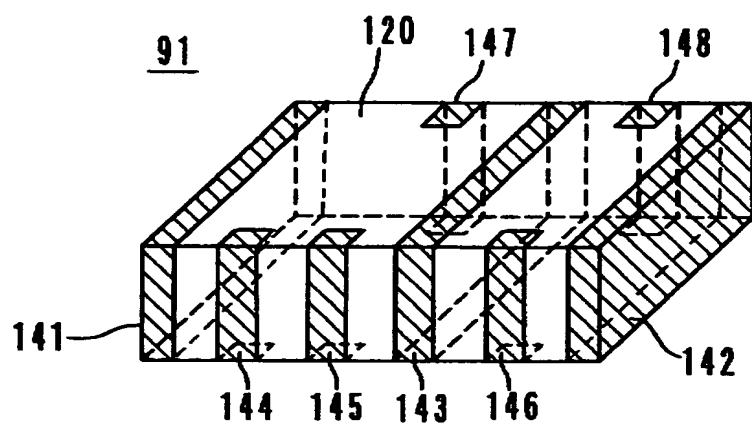
【図 1 1】



【図 12】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 群遅延時間の平坦性に優れ、良好な周波数特性を有する小型のディレイラインを提供する。

【解決手段】 ディレイライン 1 は、一つのコイルを四つのインダクタ $L_1 \sim L_4$ に分割し、このインダクタ $L_1 \sim L_4$ およびキャパシタ $C_1 \sim C_5$ からなる 4 段の LC π 型のローパスフィルタを積層体に内蔵している。インダクタ $L_1 \sim L_4$ は、絶縁性シート 24 ~ 27 上にマトリックス状に配置されるコイル導体パターン $L_{1a} \sim L_{4d}$ をそれぞれ直列に接続することにより形成されている。隣り合うインダクタ $L_1 \sim L_4$ の巻回方向は互いに逆方向になるように設定される。絶縁性シート 21 ~ 31 の材料としては、非磁性材料でかつ比誘電率が 1.5 以下の材料が用いられる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 京都府長岡京市天神二丁目26番10号
氏 名 株式会社村田製作所